

# Application Note



Akademie věd České republiky  
Ústav teorie informace a automatizace AV ČR, v.v.i.

## PWM Core - funkční vzorek generátoru pulzně šířkové modulace

Jiří Kadlec, Leoš Kafka, Jaroslav Stejskal

[kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz)

### Obsah

1. Úvod.....	2
2. Popis modulu .....	2
2.1 Zápis dat do vstupních registrů .....	3
3. Parametry modulu pwm_core .....	4
4. Funkční vzorek generátoru pulsní šířkové modulace pro desku S3E1600 .....	5
5. Poděkování .....	7
6. PWM_CORE demo .....	8
7. Licensing and availability (anglicky) .....	8
8. Disclaimer (anglicky) .....	8
9. Reference.....	9

### Revize

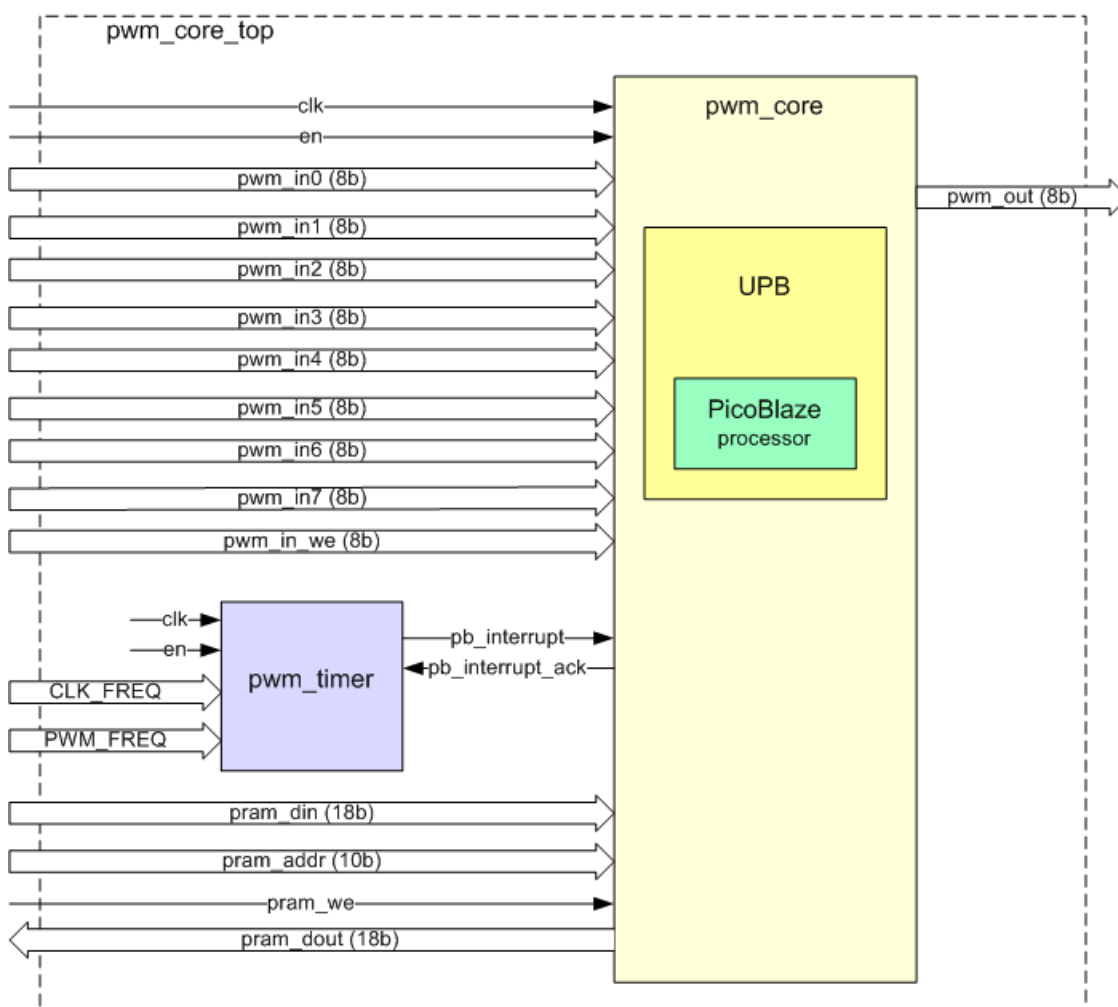
Revize	Datum	Autor	Popis změn v dokumentu
0	1.3.2008	J.St.	Vytvoření dokumentu
1	10.7.2008	J.St.	Revize dokumentu
2	12.12.2009	Jiří Kadlec	Verze pro ISE 11.3 s popisem příkladu
3	31.12.2010	Jiří Kadlec	Verze pro ISE 12.4 s popisem příkladu
4	2.08.2011	Jiří Kadlec	Verze pro ISE 13.2 s popisem příkladu

## 1. Úvod

Tento dokument popisuje funkční vzorek HW modulu generujícího 8 nezávislých kanálů pulzně šířkové modulace PWM. Kanály mají stejný základní kmitočet, který je parametrický. Vzhledem k použitému procesoru je PWM osmi bitové. Modul je vytvořen na základě konfigurovatelného modulu UPB jehož autorem je Ing. Leoš Kafka. UPB je konfigurovatelný modul s procesorem PicoBlaze vybavený základními periferiemi (programové RAM, datové RAM, registry a FIFO). HW modul stejně tak jako UPB byl vytvořen v rámci projektu VLAM. Testovací příklad vychází z příkladu [6], jehož autorem je Ken Chapman.

## 2. Popis modulu

Základem modulu PWM Core je nakonfigurovaný modul UPB. Principiální schéma je na obrázku 1. Modul má vstup pro hodinový signál *clk* (clock) a signál pro aktivaci *en* (enable), který je aktivní v log.1. K řízení jednotlivých PWM kanálů slouží osmi bitové vstupní porty *pwm\_in0* až *pwm\_in7*. Jednotlivé PWM výstupy jsou k dispozici na výstupním osmi bitovém portu *pwm\_out*. Součástí PWM Core je PWM Timer. Je to časovač, který podle nastavených generických parametrů (*CLK\_FREQ* a *PWM\_FREQ*) řídí přerušování PWM Core, tedy procesoru PicoBlaze. Moduly PWM Core i Timer jsou propojeny v komponentě PWM Core Top.



Obrázek 1 Principiální schéma modulu PWM Core Top

Kmitočet pulzně šířkové modulace je odvozen pomocí konstant  $CLK\_FREQ$  a  $PWM\_FREQ$ . První konstanta určuje kmitočet systémových hodin FPGA obvodu a druhá konstanta požadovaný kmitočet PWM výstupů. Tyto konstanty jsou generické a tedy uživatelsky modifikovatelné. Pomocí následujícího vztahu je určena doba přerušovacího procesu procesoru. Přerušení je generováno hardwarově. Výsledkem vztahu je tedy počet period systémových hodin ( $PWM\_COUNTER$ ), za které se vyvolá přerušení procesoru. Konstanta  $PWM\_RES$  představuje rozlišení PWM a je rovna osmi bitům.

$$PWM\_COUNTER = \frac{CLK\_FREQ}{PWM\_FREQ \cdot 2^{PWM\_RES}}$$

Ve výchozím stavu je konstanta  $CLK\_FREQ$  nastavena na hodnotu 75 MHz systémového kmitočtu a konstanta  $PWM\_FREQ$  na hodnotu 1kHz. Přehled vstupních a výstupních portů modulu PWM Core je uveden v tabulce 1.

Maximální kmitočet PWM regulace při správné funkčnosti procesoru PicoBlaze je 3.75 kHz při systémovém kmitočtu 75 MHz.

**Tabulka 1 Přehled portů modulu PWM Core Top**

Port	Vstup/Výstup	Šířka [bit]	Význam
clk	Vstup	1	Hodinový signál
en	Vstup	1	Povolení funkce modulu (aktivní v log.1)
pwm_in0	Vstup	8	PWM kanál 0
pwm_in1	Vstup	8	PWM kanál 1
pwm_in2	Vstup	8	PWM kanál 2
pwm_in3	Vstup	8	PWM kanál 3
pwm_in4	Vstup	8	PWM kanál 4
pwm_in5	Vstup	8	PWM kanál 5
pwm_in6	Vstup	8	PWM kanál 6
pwm_in7	Vstup	8	PWM kanál 7
pwm_in_we	Vstup	8	Zápis PWM dat pro jednotlivé kanály
pwm_out	Výstup	8	PWM výstup (osm kanálů)
pram_din	Vstup	18	Vstupní data programové paměti procesoru
pram_addr	Vstup	10	Adresa programové paměti
pram_we	Vstup	1	Řídící signál programové paměti
pram_dout	Výstup	18	Výstupní data programové paměti

## 2.1 Zápis dat do vstupních registrů

Každému z osmi PWM kanálů je přiřazen vstupní port pro nastavení aktuální osmi bitové hodnoty PWM. Tyto porty jsou vybaveny registry pro udržení posledně zapsané hodnoty. Zápis nové hodnoty příslušného kanálu musí být strobován impulsem v log. 1 pomocí vstupního portu  $pwm\_in\_we(x)$ , kde  $x$  je bit v rozmezí 0 až 7. Nulový bit tohoto signálu odpovídá datovému portu  $pwm\_in0$ , první bit portu  $pwm\_in1$  atp. V průběhu strobování musí být vstupní data neměnná.

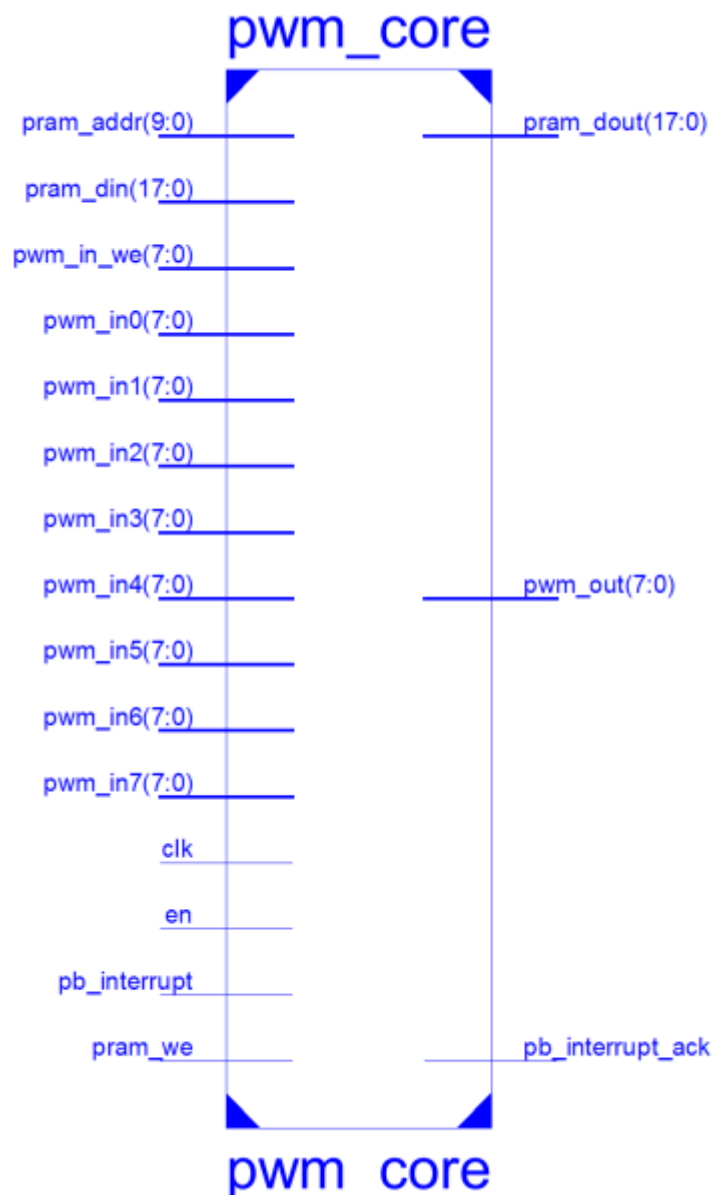
### 3. Parametry modulu pwm\_core

Velikost pwm\_core modulu v ISE 13.2 uvádí tabulka 2:

**Tabulka 2 HW nároky modulu pwm\_core**

Number of Slices	132
Number of Slice Flip Flops	157
Number of 4 input LUTs	219
Number of BRAMs	1

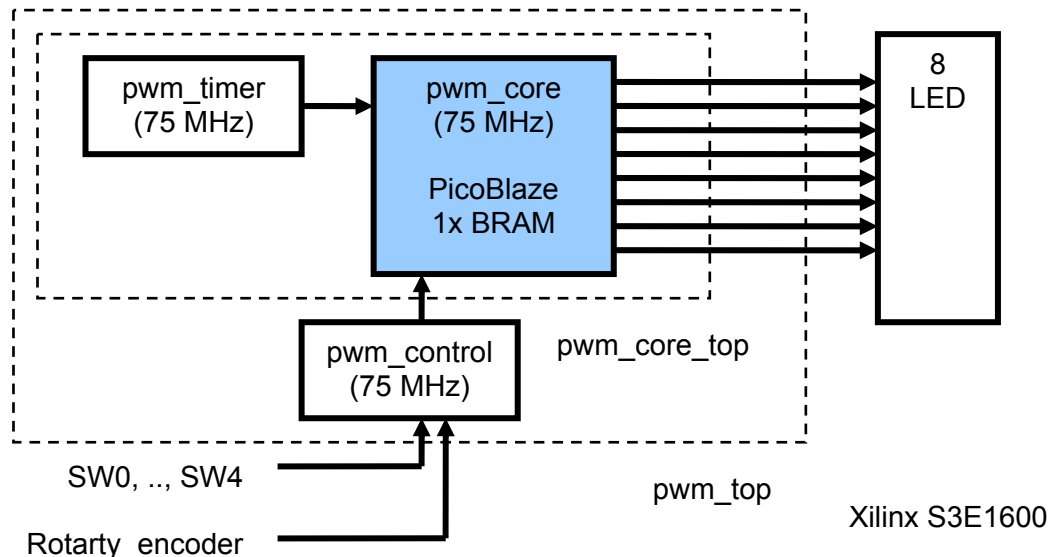
Vstupy a výstupy pwm\_core modulu dokumentuje Obr. 2.:



**Obrázek 2 PWM Core v ISE 13.2**

#### 4. Funkční vzorek generátoru pulsní šířkové modulace pro desku S3E1600

Blokové schéma funkčního vzorku generátoru pulzně šířkové modulace PWM zachycuje Obr. 3.



**Obrázek 3: Blokové schéma funkčního vzorku s PWM\_CORE**

Pomocí čtyř přepínačů a elektronického potenciometru se generují PWM data, tedy jas jednotlivých LED. Přepínači SW0, SW1 a SW3 lze vybrat řízení jasu jedné z osmi LED. Přepínač SW4 slouží k ovládání všech LED najednou. Elektronickým potenciometrem je možné plynule přidávat nebo ubírat jas ve 256 krocích.

Hodiny modulu PWM\_CORE s kmitočtem 75 MHz jsou generovány v FPGA z hodinového signálu desky 50 MHz pomocí modulu dcm\_mhz. Modul pwm\_control je řízen z elektronického potenciometru a přepínačů. Modul předává na 8bitových výstupních sběrnicích data pro 8 PWM převodníků implementovaných v pwm\_core\_top modulu pomocí pwm\_core a časovače pwm\_timer.

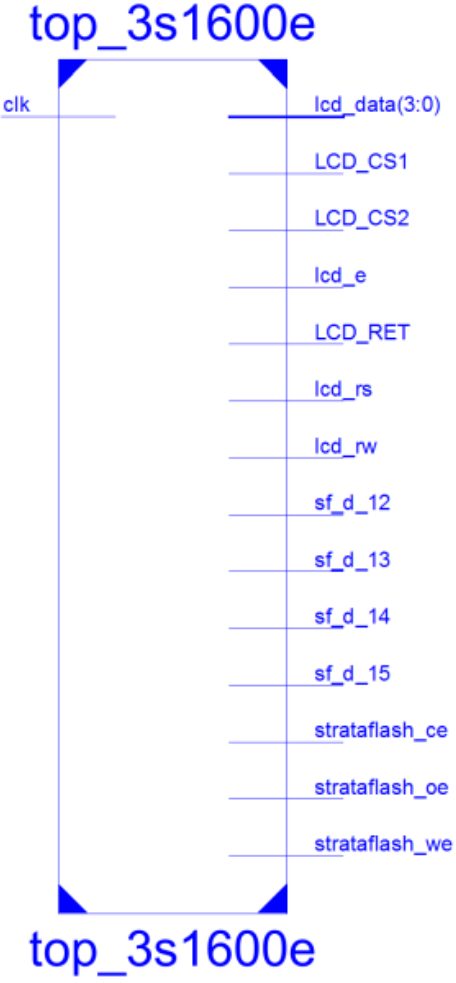
Data o velikosti a proudovém odběru implementovaného demonstrátoru funkčního vzorku v ISE 13.2 jsou uvedena v tabulce 4.

**Tabulka 4 – Velikost a odběr celého HW**

	XC3S1600E-4
	top_3s1600e
Number of Slices	203
Number of Slice Flip Flop	246
Number of 4 input LUTs	299
Number of BRAMs	1
Number of DCMs	1
VCCINT 1,2V (FPGA)	40mA
Odběr na 5,0V zdroji	500mA

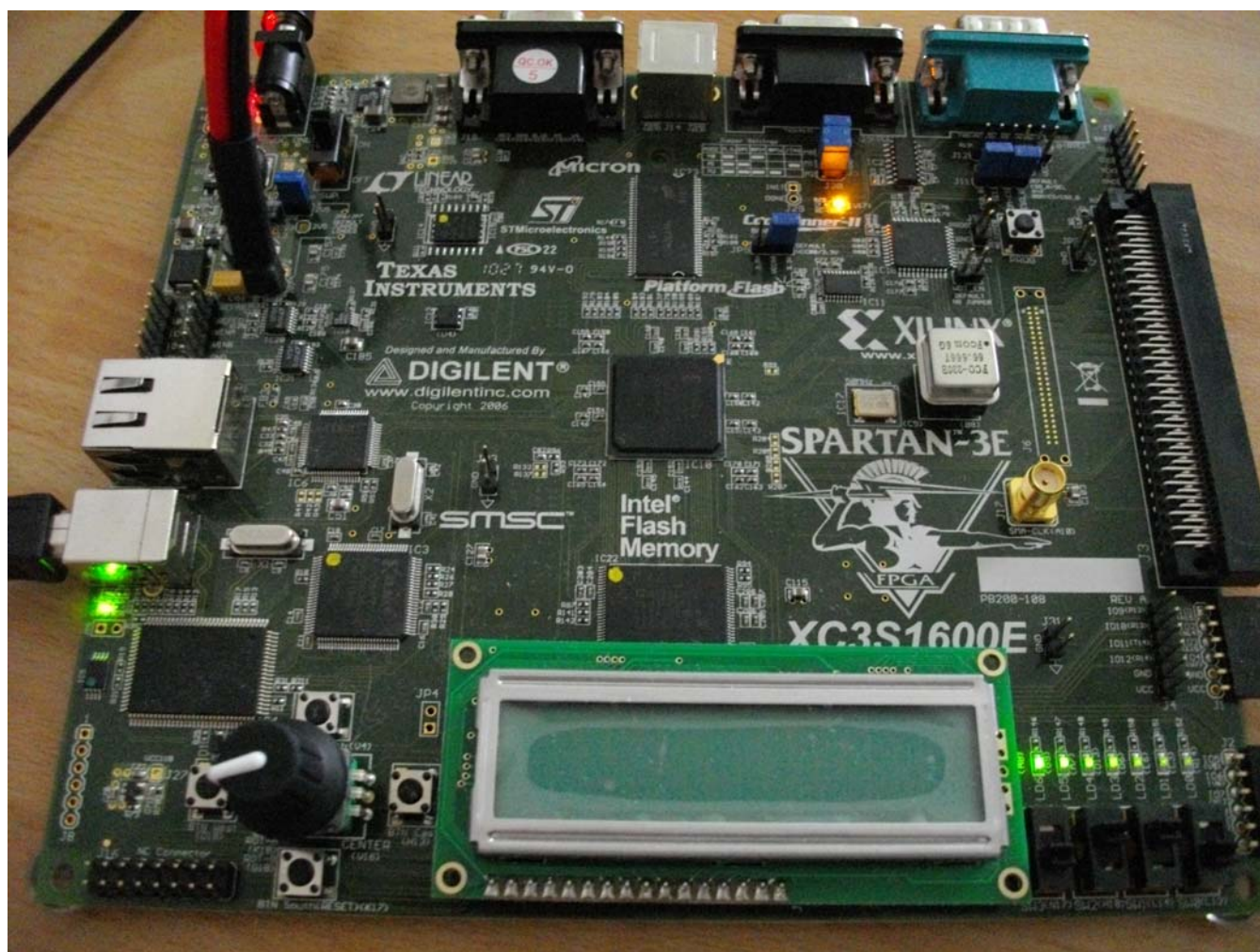
Vstupy a výstupy demonstrátoru funkčního vzorku generátoru pulzně šířkové modulace PWM na desce S3E1600 uvádí tabulka 5.

Tabulka 5 – Vstupy a výstupy funkčního vzorku PWM\_CORE na desce S3E1600

 <p>The diagram shows a functional block named 'top_3s1600e' with a clock input 'clk' and several data and control signals: 'lcd_data(3:0)', 'LCD_CS1', 'LCD_CS2', 'lcd_e', 'LCD_RET', 'lcd_rs', 'lcd_rw', 'sf_d_12', 'sf_d_13', 'sf_d_14', 'sf_d_15', 'strataflash_ce', 'strataflash_oe', and 'strataflash_we'.</p>	<pre> NET "clk_50" PERIOD = 20.0ns HIGH 50%; NET "clk" LOC = "C9"   IOSTANDARD = LVTTTL;  NET "led_hw&lt;7&gt;" LOC = "A8"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;6&gt;" LOC = "G9"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;5&gt;" LOC = "A7"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;4&gt;" LOC = "D13"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;3&gt;" LOC = "E6"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;2&gt;" LOC = "D6"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;1&gt;" LOC = "C3"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;0&gt;" LOC = "D4"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8;  NET "switch_hw&lt;0&gt;" LOC = "L13"   IOSTANDARD = LVTTTL   PULLUP; NET "switch_hw&lt;1&gt;" LOC = "L14"   IOSTANDARD = LVTTTL   PULLUP; NET "switch_hw&lt;2&gt;" LOC = "H18"   IOSTANDARD = LVTTTL   PULLUP; NET "switch_hw&lt;3&gt;" LOC = "N17"   IOSTANDARD = LVTTTL   PULLUP;  NET "rotary_hw_a" LOC = "K18"   IOSTANDARD = LVTTTL   PULLUP; NET "rotary_hw_b" LOC = "G18"   IOSTANDARD = LVTTTL   PULLUP; </pre>
--	---

Demonstrátor funkčního vzorku generátoru pulzně šířkové modulace PWM\_CORE na desce S3E1600 je zobrazen na obr. 4.





Obrázek 4: Funkční vzorek generátoru pulzně šířkové modulace PWM\_CORE na desce S3E1600

## 5. Poděkování

Návrh a realizace tohoto funkčního vzorku byla podpořena projektem ministerstva školství a tělovýchovy číslo 2C06008, <http://www.vlam.cz>.

## 6. PWM\_CORE demo

S3E1600\ impl\ pwm_core\ pwm_core.ngc	Generátor pulzně šířkové modulace
pwm_top\ pwm_top.ngc	Integrace pwm_core spolu s casovacem akontrolní logikou
dcm_mhz\ dcm_mhz.ngc	Modul generující hodinový signál 75 MHz
top_3s1600e\ ...	Projekt pro překlad funkčního vzorku pomocí Xilinx ISE 13.2
top_3s1600e_bit\ top_3s1600e_mcf\ src\ ucf\ top_3s1600e.ucf	Konfigurační data funkčního vzorku Konfigurační data pro platform flash
vhdl\ top_3s1600e.vhd	Definice vstupů a výstupů pro 3s1600e Zdrojový kód ve VHDL (top level)

## 7. Licensing and availability (anglicky)

This functional sample is provided in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 [2]. If you plan to use this functional sample netlist for education purposes, you can contact UTIA AV CR, v.v.i. for support. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

If you consider commercial use of this functional sample in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 FPFA or if you need the source code of this functional sample, please contact UTIA AV CR v.v.i. Commercial End User License Agreement (Commercial EULA) between you and UTIA AV CR, v.v.i. needs to be signed. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

## 8. Disclaimer (anglicky)

This disclaimer is not a license and does not grant any rights to the materials distributed herewith. Except as otherwise provided in a valid license issued to you by UTIA AV CR v.v.i., and to the maximum extent permitted by applicable law:

- (1) THIS APPLICATION NOTE AND RELATED MATERIALS LISTED IN THE PACKAGE CONTENT ARE MADE AVAILABLE "AS IS" AND WITH ALL FAULTS, AND UTIA AV CR V.V.I. HEREBY DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and
- (2) UTIA AV CR v.v.i. shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under or in connection with these materials, including for any direct, or any indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or UTIA AV CR v.v.i. had been advised of the possibility of the same.



## Critical Applications:

UTIA AV CR v.v.i. products are not designed or intended to be fail-safe, or for use in any application requiring fail-safe performance, such as life-support or safety devices or systems, Class III medical devices, nuclear facilities, applications related to the deployment of airbags, or any other applications that could lead to death, personal injury, or severe property or environmental damage (individually and collectively, "Critical Applications"). Customer assumes the sole risk and liability of any use of UTIA AV CR v.v.i. products in Critical Applications, subject only to applicable laws and regulations governing limitations on product liability.

## 9. Reference

- [1] PicoBlaze 8-bit Embedded Processor UG129 June 22, 2011  
[http://www.xilinx.com/support/documentation/ip\\_documentation/ug129.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf)
- [2] MicroBlaze Development Kit Spartan-3E 1600E Edition User Guide UG257 (v1.1) December 5, 2007 [http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug257.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf)
- [3] Xilinx ISE 13.2, <http://www.xilinx.com/>
- [4] řadič HD44780 <http://www.datasheetarchive.com/HD44780-datasheet.html>
- [5] Spartan3 datasheet [http://www.xilinx.com/support/documentation/data\\_sheets/ds099.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf)
- [6] Xilinx Spartan-3E FPGA Starter Kit Board Design Examples  
[http://www.xilinx.com/products/boards/s3estarter/reference\\_designs.htm](http://www.xilinx.com/products/boards/s3estarter/reference_designs.htm)
- [6a] Ken Chapman, Initial Design for Spartan-3E Starter Kit (LCD Display Control), ISE 8.1i, Xilinx Ltd 16th, February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_startup.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf)
- [6b] Ken Chapman, Rotary Encoder Interface for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 20th February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_rotary\\_encoder\\_interface.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_rotary_encoder_interface.pdf)
- [6c] Ken Chapman, Amplifier and A/D Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 23rd February 2006  
[www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_amplifier\\_and\\_adc\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_amplifier_and_adc_control.pdf)
- [6d] Ken Chapman, D/A Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 21st February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_dac\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_dac_control.pdf)
- [6e] Ken Chapman, NOR FLASH Programmer for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_nor\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_nor_flash_programmer.pdf)
- [6f] Ken Chapman, SPI FLASH Programmer for Spartan-3E Starter Kit, ISE 7.1i, Xilinx Ltd, November 2004  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_spi\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_spi_flash_programmer.pdf)
- [6g] Ken Chapman, Frequency Generator for Spartan-3E Starter Kit, ISE 8.2i, Xilinx Ltd, 18th July 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_generator.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_generator.pdf)
- [6h] Ken Chapman, Frequency Counter for Spartan-3E Starter Kit (with test oscillators), ISE 8.1i, Xilinx Ltd, 7th March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_counter.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_counter.pdf)
- [6i] Ken Chapman, Software Implementation of Pulse Width Modulation (PWM). A reference design using the Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 24th May 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_pwm\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_pwm_control.pdf)